

CLIPPEDIMAGE= JP02000124395A
PAT-NO: JP02000124395A
DOCUMENT-IDENTIFIER: JP 2000124395 A
TITLE: MULTI-CHIP SEMICONDUCTOR PACKAGE STRUCTURE AND ITS
MANUFACTURE

PUBN-DATE: April 28, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
CHIN, SOKETSU	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TAISHU DENNO KOFUN YUGENKOSHI	N/A

APPL-NO: JP10286410
APPL-DATE: October 8, 1998

INT-CL_(IPC): H01L025/065; H01L025/07 ; H01L025/18

ABSTRACT:

PROBLEM TO BE SOLVED: To considerably reduce an area of an IC element, and simplify the entire structure, and also facilitate a manufacture by a method wherein two chips are supported and fixed by a lead frame, and installation of a BGA substrate is eliminated.

SOLUTION: In a second chip 22, a circuit on the second chip 22 is coupled to an external unit via a lead 241 of a lead frame 24, and in a first chip 21, a circuit on the first chip 21 is coupled to the outside via a solder bump 27. Any of the first chip 21 and the second chip 22 is positioned on the lead frame 24, and a substrate element required in a conventional BGA technique is omitted. Accordingly, a multi-chip semiconductor package 20 is relatively reduced in the entire volume, and the number of pin is suitable, and a length

of IC is not excessive, and an IC area is reduced more than in the prior art, and also the structure and the element volume are simplified. For this reason, it is possible to decrease the manufacturing cost.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-124395

(P2000-124395A)

(43)公開日 平成12年4月28日(2000.4.28)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
H 0 1 L 25/065		H 0 1 L 25/08	B
25/07			Z
25/18			

審査請求 有 請求項の数10 O L (全 8 頁)

(21)出願番号 特願平10-286410

(22)出願日 平成10年10月8日(1998.10.8)

(71)出願人 598073372

大衆電腦股▲ふん▼有限公司

台湾台北市敦化北路201-24號台塑後棟6樓

(72)発明者 陳 宗杰

台湾台北市東園街66巷37弄31號

(74)代理人 100082304

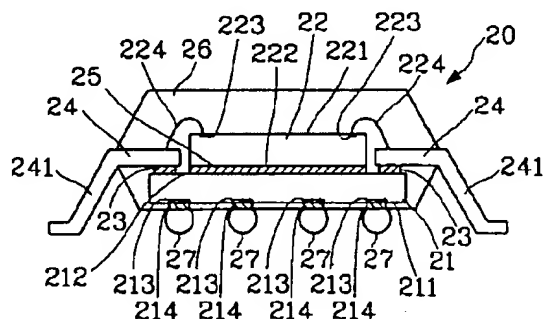
弁理士 竹本 松司 (外4名)

(54)【発明の名称】 多チップ半導体パッケージ構造とその製造方法

(57)【要約】

【課題】 多チップ半導体パッケージ構造とその製造方法の提供。

【解決手段】 LOC技術とBGA技術を融合させることで二つのチップを同一のIC素子中に積み重ね、そのうちの一つのチップでは、リードフレームのリードをチップ上の回路と外界を連結するインタフェースとなし、もう一つのチップでは、錫球をチップ上の回路と外界を連結するインタフェースとなし、且つこれら二つのチップをリードフレームで支持固定することで、従来のBGA技術に必要であった基板素子を省略する。こうして二つのチップにそれぞれ異なる或いは同じ機能を持たせることができるようにすると共に、全体の構造を簡素化し、製造工程を容易とし、製造コストを下げ、並びにIC素子の全面積、長さをいずれも従来の技術より縮小する。



【特許請求の範囲】

【請求項1】 複数のチップとされて、いずれも一つの作動面と一つの非作動面を有して、各チップの作動面それぞれに複数のボンディングパッドが設置されてチップ上の回路と外界を連結するインタフェースとされる、上記複数のチップ、

一つのリードフレームとされて、複数のリードを具え、該第2チップの作動面の複数のボンディングパッドが一つの技術手段によりそれぞれ対応するリードに連結される一方、該第1チップの非作動面が該リードフレームに結合される、上記リードフレーム、
複数の半田バンプとされて、第1チップの作動面の対応する上記ボンディングパッドに接続される、上記複数の半田バンプ、

モールド樹脂とされ、前述の複数のチップを封止して一体の半導体パッケージとなすと共に、該複数のリードと半田バンプを外部に露出させて外界との連結のインタフェースとなす、上記モールド樹脂。以上を包括して構成された多チップ半導体パッケージ。

【請求項2】 前記ボンディングパッドがA1パッドとされたことを特徴とする、請求項1に記載の多チップ半導体パッケージ。

【請求項3】 前記第2チップのボンディングパッドと対応するリードを接続する技術手段がボンディングワイヤとされたことを特徴とする、請求項1に記載の多チップ半導体パッケージ。

【請求項4】 前記第2チップのボンディングパッドとリードを連結する技術手段として、前記第2チップのボンディングパッドが直接対応するリードに溶接され、それにより第2チップがリードフレームに結合、固定されることを特徴とする、請求項1に記載の多チップ半導体パッケージ。

【請求項5】 前記第2チップの非作動面と第1チップの非作動面の間がエポキシで結合されていることを特徴とする、請求項1に記載の多チップ半導体パッケージ。

【請求項6】 前記第1チップの非作動面が熱溶性の両面テープでリードフレームの第2チップと結合していない一側面に結合されていることを特徴とする、請求項1に記載の多チップ半導体パッケージ。

【請求項7】 前記第1チップの回路が直接第2チップの回路と結合しておらず、リードフレームのリードが直接半田バンプと結合していないことを特徴とする、請求項1に記載の多チップ半導体パッケージ。

【請求項8】 前記第1チップと第2チップが異なる機能を有するチップとされたことを特徴とする、請求項1に記載の多チップ半導体パッケージ。

【請求項9】 作動面と非作動面を有する複数のチップを封止してある多チップ半導体パッケージの製造方法において、以下のaからfのステップ、即ち、

a. 第1チップの非作動面に複数のリードを具えた一つ

のリードフレームを結合するステップ

b. 第2チップの非作動面を第1チップの非作動面に結合するステップ

c. 第2チップの作動面を、第1チップの上記リードフレームのリードに接続するステップ

d. 第1チップ21の作動面の適当な位置に複数の内バンプを植え込んでからモールド樹脂で第1チップと第2チップを封止すると共に、該リード及び内バンプの少なくとも一部を樹脂の外に露出させるステップ

e. 複数の半田バンプを複数の内バンプの位置に植え込むステップ

f. リードを折り曲げて半田バンプの方向に所定の角度と長さ延伸させるステップ、

以上を包括する多チップ半導体パッケージの製造方法。

【請求項10】 作動面と非作動面を有する複数のチップを封止してある多チップ半導体パッケージの製造方法において、以下のaからfのステップ、即ち、

a. 第2チップの作動面の適当な位置に複数の導電性の溶接材を植え込むステップ

b. 第2チップの複数の溶接材を溶接方式でリードフレームの対応するリードに結合させるステップ

c. 第1チップの非作動面を該リードフレームの第2チップと反対の側面に結合させるステップ

d. 第1チップの作動面の適当な位置に複数の内バンプを植え込み、並びに樹脂で第1チップと第2チップを封止し、且つリード及び内バンプの少なくとも一部を樹脂の外に露出させるステップ

e. 複数の半田バンプを複数の内バンプの位置に植え込むステップ

f. リードを折り曲げてフォーミングし、リードを半田バンプの方向に延伸させて所定の角度、長さ及び形状となすステップ

以上を包括する多チップ半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は一種の多チップ半導体パッケージ構造とその製造方法に関し、特に、二つ以上の、同じ或いは異なる機能を有するチップを同一パッケージ中に積み重ね、且つそのうちの一つのチップについてはリードフレームのリードを外界とのインタフェースとし、もう一つのチップについては半田バンプを外界とのインタフェースとした多チップ半導体パッケージ構造とその製造方法に関する。

【0002】

【従来の技術】半導体製造においては、いかに小さいパッケージ中に多くのロジック回路を詰め込んで相対的に製造コストを下げるか、ということが製造業者の一致した研究課題とされている。ゆえにこの領域の研究、競争は非常に激烈となっており、チップ上の回路を縮小して最小素子寸法とする方法以外に、最低コストで直接単一

の半導体パッケージのメモリ容量を増倍する方法として、同一パッケージ中に2片以上のチップを包装する方法がある。

【0003】図1には従来の多チップ半導体パッケージ構造の例が示される。それは、LOC技術で2片のチップ1a、1bをホットメルト両面テープ2a、2bでそれぞれ別々のリードフレーム3a、3b上に結合し、並びに金線4a、4bを使用したリードボンディングによりチップ1a、1bの回路とリードフレーム3a、3bの対応するリードとを接続し、最後にモールド樹脂で封止し、一体の半導体パッケージ素子(IC)を形成している。しかし、このように単純にリードフレームのリード6を複数のチップ1a、1bと外界とのインタフェースとすることの最大の欠点は、リード6数が倍増するため、半導体パッケージ素子の長さがリードの数の増加につれて増加したことである。最近のシングルチップパッケージ素子(例えば4MB DRAM IC)のピン数はすでに過去の20対から30対から、現在の42対から50対となっている。各一对のピンはいずれもその固定された幅を有するため、IC素子は不断に長く、大きくなり、もし図1の技術を以て多チップのパッケージを進行するならば、ピン数は80対から100対以上にもなり、あまりにも長さが増して実用的でなくなってしまう。

【0004】図2に示されるのは、もう一種の従来の多チップ半導体パッケージ構造の例であり、それは、BGA技術を採用して、二つのチップ7a、7bをエポキシで相互に結合した後にさらに一つの基板8上に接着し、並びに金線9a、9bでチップ7a、7b上の回路と基板8の対応するボンディングパッドが接続された後、基板8上の回路設計或いは基板8を貫通する導電プラグ設計により、チップ7a、7b上の電気回路が金線9a、9bを透過して基板8の底面の対応する半田バンプ10上に接続し、こうして一体の半導体パッケージ素子(IC)が形成されている。ただし、このように単純に、BGA技術の基板8の半田バンプ10を複数チップ7a、7b上の回路と外界とのインタフェースとすることの最大の欠点は、基板8の面積が増大するために該半導体パッケージ素子の面積が非常に大きくなり、且つ工程上多くの不便があり実施が困難であることである。現在のBGA技術ではいずれも一つの基板8でチップを支持、固定し、さらに基板8の底面に設けられた半田バンプを信号伝達の接点となしているため、基板の面積は一般に実際のチップの寸法より少なからず大きくなり、さらに複数チップの積み重ねは半田バンプの数量と基板面積を増加させ、実用上が相対的に下がった。このように単純にBGA技術により複数チップを積み重ねるもの

り、このように長すぎる金線9aはボンディングが非常に難しく、且つ外力或いは過熱(抵抗値が比較的大きいことによる)により極めて断線しやすかった。且つ、このような構造におけるチップ7aの寸法はその下のチップ7bより小さくしなければならず、二つの同じ寸法或いは規格のチップを積み重ねることはできず、設計上の困難がもたらされた。このほか過長で密集する金線9a、9bが封止時に、樹脂による衝撃を受けて脱落し回路が遮断されることがあるため、歩留りが悪くなり、実施に向かなかった。

【0005】ゆえに、上述の各種の従来の技術は、实际的に、完全には半導体素子寸法の縮小と製造コストの削減という要求を満足させることができず、改善の必要があった。

【0006】

【発明が解決しようとする課題】本発明は、一種の多チップ半導体パッケージ構造とその製造方法を提供することを課題とし、本発明により構造が簡単で、製造が容易であり、製造コストが低く、且つIC素子の全体面積、長さを従来の技術より縮小できる提供される多チップ半導体パッケージを提供できるものとする。

【0007】本発明は一種の多チップ半導体パッケージ構造とその製造方法を提供することを課題とし、それはLOC技術とBGA技術を融合して二つのチップを同一のIC素子中に積み重ね、前述の従来の技術の数々の欠点を解決すると共に、該二つのチップにそれぞれ同じか或いは異なる機能を持たせられるようにする構造と製造方法であるものとする。

【0008】

【課題を解決するための手段】請求項1の発明は、複数のチップとされて、いずれも一つの作動面と一つの非作動面を有して、各チップの作動面それぞれに複数のボンディングパッドが設置されてチップ上の回路と外界を連結するインタフェースとされる、上記複数のチップ、一つのリードフレームとされて、複数のリードを具え、該第2チップの作動面の複数のボンディングパッドが一つの技術手段によりそれぞれ対応するリードに連結される一方、該第1チップの非作動面が該リードフレームに結合される、上記リードフレーム、複数の半田バンプとされて、第1チップの作動面の対応する上記ボンディングパッドに接続される、上記複数の半田バンプ、モールド樹脂とされ、前述の複数のチップを封止して一体の半導体パッケージとなすと共に、該複数のリードと半田バンプを外部に露出させて外界との連結のインタフェースとなす、上記モールド樹脂。以上を包括して構成された多チップ半導体パッケージとしている。

【0009】請求項2の発明は 前記ボンディングパッ

ディングパッドと対応するリードを接続する技術手段がボンディングワイヤとされたことを特徴とする、請求項1に記載の多チップ半導体パッケージとしている。

【0011】請求項4の発明は、前記第2チップのボンディングパッドとリードを連結する技術手段として、前記第2チップのボンディングパッドが直接対応するリードに溶接され、それにより第2チップがリードフレームに結合、固定されることを特徴とする、請求項1に記載の多チップ半導体パッケージとしている。

【0012】請求項5の発明は、前記第2チップの非作動面と第1チップの非作動面の間がエポキシで結合されていることを特徴とする、請求項1に記載の多チップ半導体パッケージとしている。

【0013】請求項6の発明は、前記第1チップの非作動面が熱溶性の両面テープでリードフレームの第2チップと結合していない一側面に結合されていることを特徴とする、請求項1に記載の多チップ半導体パッケージとしている。

【0014】請求項7の発明は、前記第1チップの回路が直接第2チップの回路と結合しておらず、リードフレームのリードが直接半田バンプと結合していないことを特徴とする、請求項1に記載の多チップ半導体パッケージとしている。

【0015】請求項8の発明は、前記第1チップと第2チップが異なる機能を有するチップとされたことを特徴とする、請求項1に記載の多チップ半導体パッケージとしている。

【0016】請求項9の発明は、作動面と非作動面を有する複数のチップを封止してある多チップ半導体パッケージの製造方法において、以下のaからfのステップ、即ち、

- a. 第1チップの非作動面に複数のリードを具えた一つのリードフレームを結合するステップ
 - b. 第2チップの非作動面を第1チップの非作動面に結合するステップ
 - c. 第2チップの作動面を、第1チップの上記リードフレームのリードに接続するステップ
 - d. 第1チップ21の作動面の適当な位置に複数の内バンプを植え込んでからモールド樹脂で第1チップと第2チップを封止すると共に、該リード及び内バンプの少なくとも一部を樹脂の外に露出させるステップ
 - e. 複数の半田バンプを複数の内バンプの位置に植え込むステップ
 - f. リードを折り曲げて半田バンプの方向に所定の角度と長さ延伸させるステップ、
- 以上を包括する多チップ半導体パッケージの製造方法としている。

【0017】請求項10の発明は、作動面と非作動面を有する複数のチップを封止してある多チップ半導体パッケージの製造方法において、以下のaからfのステッ

プ、即ち、

- a. 第2チップの作動面の適当な位置に複数の導電性の溶接材を植え込むステップ
- b. 第2チップの複数の溶接材を溶接方式でリードフレームの対応するリードに結合させるステップ
- c. 第1チップの非作動面を該リードフレームの第2チップと反対の側面に結合させるステップ
- d. 第1チップの作動面の適当な位置に複数の内バンプを植え込み、並びに樹脂で第1チップと第2チップを封止し、且つリード及び内バンプの少なくとも一部を樹脂の外に露出させるステップ
- e. 複数の半田バンプを複数の内バンプの位置に植え込むステップ
- f. リードを折り曲げてフォーミングし、リードを半田バンプの方向に延伸させて所定の角度、長さ及び形状となすステップ

以上を包括する多チップ半導体パッケージの製造方法としている。

【0018】

- 20 【発明の実施の形態】本発明の多チップ半導体パッケージ構造の望ましい一つの実施例は、二つのチップ、即ち第1チップと第2チップと、複数のリードを具えたリードフレーム、複数の半田バンプ及び樹脂を少なくとも包括する。各チップはいずれも作動面と非作動面を有し、且つ各チップの作動面に複数のボンディングパッドが設けられてチップ上の回路と外界との連結のインタフェースとされている。第2チップの作動面上の複数の接続パッドは一つの技術手段によりそれぞれ対応するリードに結合され、且つ第1チップの非作動面はリードフレーム上に結合されている。該複数の半田バンプは直接第1チップの作動面上の対応する複数のボンディングパッド上に接続される。該樹脂は前述のチップを封止して一つの半導体パッケージ構造となすのに用いられ、該複数のリード及び半田ボールは樹脂外に露出して外界との連結用のインタフェースとされている。本発明の多チップ半導体パッケージ構造には従来のBGA基板の設置がなく（二つのチップがリードフレームにより支持、固定されている）、このためIC素子の面積が大幅に縮小され、二つのチップはリードと半田バンプを接点として利用しているため、そのピン数は多すぎず、IC素子の長さは比較的短く、且つ本発明の全体構造は簡単に製造が容易であり、製造コストが比較的低い。

【0019】

【実施例】本発明の提供する多チップ半導体パッケージ構造とその製造方法では、LOC技術とBGA技術を融合させることで二つのチップを同一のIC素子中に積み重ね、そのうちの一つのチップでは、リードフレームのリードをチップ上の回路と外界を連結するインタフェースとなし、もう一つのチップでは、錫球をチップ上の回路と外界を連結するインタフェースとなし、且つこれら

二つのチップをリードフレームで支持固定することで、従来のBGA技術に必要であった基板素子を省略する。こうして二つのチップにそれぞれ異なる或いは同じ機能を持たせることができるようにすると共に、全体の構造を簡素化し、製造工程を容易とし、製造コストを下げ、並びにIC素子の全体面積、長さをいずれも従来の技術より縮小することができる。

【0020】図3は本発明の多チップ半導体パッケージ構造の望ましい一実施例を示している。図4から図5は図3に示される実施例の製造フローの望ましい実施例を示す。

【0021】図3に示されるように、本発明の提供する多チップ半導体パッケージ20は、複数のチップ、一つのリードフレーム24、複数の半田バンプ27及び樹脂26を含む。該複数のチップは本実施例では第1チップ21と第2チップ22を包括し、各チップ21、22はいずれも一つの作動面211、221と非作動面212、222を有し、該作動面211、221はチップ21、22の回路設計のある一側の表面とされ、且つ各チップ21、22の作動面211、221の所定の位置に複数のボンディングパッド213、223が設けられてチップ21、22の外部を連結するためのインタフェースとされている。本実施例では該ボンディングパッド213、223は、Al或いはそれに代替可能な金属のパッドとされる。

【0022】該リードフレーム24は複数のリード241を具え、該第2チップ22の作動面211上の複数のボンディングパッド213は一つの技術手段によりそれぞれ対応するリード241に連結され、且つ第1チップ21の非作動面212はリードフレーム24上に結合している。本実施例では、第2チップ22のボンディングパッド223と対応するリード241との結合手段として金線などのボンディングワイヤ224が使用され、第1チップ21の非作動面212は熱溶性の両面テープ23でリードフレーム24の第2チップ22をボンディングしていない一側面に結合されている。当然、半導体技術に習熟した者が以上の説明から容易に思いつくように、両面テープ23で第2チップ22と第1チップ21を結合しうる。

【0023】複数の半田バンプ27は、それぞれ第1チップ21の作動面211上の対応する複数のボンディングパッド213上に設置され、半田バンプ27とボンディングパッド213の間に予め内ボール214が植え込まれて半田バンプ27とボンディングパッド213を結合させる介装物とされる。その後、モールド樹脂26で封止を進行して前述の二つのチップ21、22を被覆して一体の半導体パッケージ20となし、且つ複数のリード241と半田バンプ27は該樹脂26の外に露出して外界との連結用のインタフェースとされる。

【0024】図3に示される構造によると、第2チップ

22がリードフレーム24のリード241を第2チップ22上の回路と外界との連結のインタフェースとしており、第1チップ21は半田バンプ27を第1チップ21上の回路と外界との連結のインタフェースとしており、並びに第1チップ21と第2チップ22がいずれもリードフレーム24上に位置決めされて、従来のBGA技術で必要であった基板素子が省略されている。ゆえに、本発明により提供される多チップ半導体パッケージ20は、図3に示されるように、全体体積が比較的小さく、ピン数が適当でICの長さが過長とならず、少なくとも従来の基板素子を設置したICの面積よりその面積が縮小され、且つ構造と素子数量の簡素化により製造コスト削減を達成しうる。このほか、該チップ21、22はそれぞれ半田バンプ27とリード241をチップ上の回路と外界との連結のインタフェースとしており、ゆえに第1チップ21上の回路が直接第2チップ22上の回路と結合され且つリード241が直接半田バンプ27と結合されない時、該第1チップ21と第2チップ22は異なる機能のチップとされうる。例えば、第1チップ21がロジック回路のチップとされて第2チップ22がメモリ回路のチップとされうる。このように、同一IC中に同時に数種類の異なる機能のチップを包括することで、ICの設計及び使用弾性が大幅に増加する。当然、半導体技術に習熟した者が以上の説明より容易に思いつくように、該第1チップ21と第2チップ22は同じ機能のチップとされうるほか、第1チップ21と第2チップ22上の電気回路は直接或いは間接的に相互に結合されうる。

【0025】図4から図5は、図3に示される本発明の望ましい多チップ半導体パッケージ構造の実施例の望ましい製造フローの実施例であり、それは以下のaからfのステップを包括する。

- a. 第1チップ21の非作動面212上に両面テープ23を利用して複数のリード241を具えた一つのリードフレーム24を結合する
- b. 第2チップ22の非作動面222をエポキシ樹脂25で第1チップ21の非作動面212に結合する。
- c. 第2チップ22の作動面211上のボンディングパッド213をボンディングワイヤ224を利用してリードフレーム24のリード241に接続し、第2チップ22上の回路をリード241で外界と接続可能とする。
- d. 第1チップ21の作動面211上の適当な位置のボンディングパッド213に複数の内バンプ214を植え込み、同時に樹脂26で第1チップ21と第2チップ22を封止して一つの半導体IC素子を形成し、且つリード241及び内バンプ214それぞれの少なくとも一部を樹脂26の外に露出させる。
- e. 複数の半田バンプ27を複数の内バンプ214の位置に植え込んで第1チップ21上の回路を半田バンプ27を介して外界と連通させられるようにする。

f. リード241を曲げてフォーミングしリード241を半田バンプ27のある方向に延伸して、所定の角度、長さ及び形状を有するものとなし、必要時にはさらに複数のIC間の切断分離工程を進行し、本発明の半導体パッケージ20を完成する。

【0026】図6は本発明の多チップ半導体パッケージ40のもう一つの望ましい実施例を示し、図7から図8はその製造フローを示す。

【0027】図6に示される実施例の多チップ半導体パッケージ(IC)構造も、同様に、二つのチップ、即ち第1チップ41と第2チップ42、複数のリード441を有するリードフレーム44、複数の半田バンプ47、及び、第1チップ41と第2チップ42を封止する樹脂46を包括する。これら第1チップ41、第2チップ42は同様に、それぞれ一つの作動面411、421と一つの非作動面412、422を具え、且つ各チップの作動面411、421それぞれに複数のボンディングパッド413、423が設けられている。

【0028】該第1チップ41は図5に示される実施例でも、両面テープ43によりリードフレーム44の一侧面上に接着されているが、しかし、この技術の分野に習熟した者であれば簡単に思いつけるように、第1チップ41をエポキシ樹脂でリードフレーム44上に接着することも可能である。リードフレーム44の、第1チップ21と反対のもう一侧面上に第2チップ42が結合され、且つ第2チップ42の作動面421上のボンディングパッド423は溶接材424(例えば半田バンプ)で直接対応するリード441に接続され、これにより第2チップ42がリードフレーム44に結合されると共に、第2チップ42上の回路がリード441により外界と連

【0029】図7から図8は図6に示される実施例の製造フローであり、以下のaからfのステップを包括する。

a. 第2チップ42の作動面421の複数のボンディングパッド423部分に導電性の溶接材424を植え込む。

b. 第2チップ42の複数の溶接材424を溶接方式でリードフレーム44の対応するリード441に結合させて、リード441を第2チップ42上の回路と外界とを連結するインタフェースとなし、リードフレーム44の第2チップ42と反対のもう一侧面の適当な位置に両面テープ43を設置する。

c. 第1チップ41の非作動面412を該リードフレーム44の両面テープ43に結合させ、第1チップ41をリードフレーム44に固定する。

d. 第1チップ41の作動面411の複数のボンディン

グパッド413部分にそれぞれ内バンプ414を植え込み、並びに樹脂46で第1チップ41と第2チップ42を封止し、且つリード441及び内バンプ414の一部を樹脂46の外に露出させる。

e. 複数の半田バンプ47を複数の内バンプ414の位置に植え込み、半田バンプ47を第1チップ41の回路と外界との連結のインタフェースとなす。

f. リード441を折り曲げてフォーミングし、リード441を半田バンプ47の方向に延伸させて所定の角度、長さ及び形状とし、本発明の多チップ半導体パッケージ構造を完成する。

【0030】

【発明の効果】総合すると、本発明は多チップ半導体パッケージ構造とその製造方法を提供するものであり、それは、有効に従来の単純なLOC或いは単純なBGA技術により製造された従来の多チップ半導体パッケージ構造の有する問題、即ち、半導体の長さが長すぎ、面積が大きすぎ、全体構造が複雑で、製造が難しく、コストが高く、実用性が劣るなどの数々の欠点を解決する。且つ本発明の多チップ半導体パッケージ構造は、同一IC中に数種の異なる機能のチップを有するか或いは同一の機能のチップを有するかを選択でき、これによりICの設計及び使用弾性を大幅に増加することができ、またその全体構造は非常に簡単で、体積面積及び長さがいずれも小さく、製造が容易であり、コストが非常に低く、進歩性を有し、産業上の利用価値を有しており、且つ新規性を有している。

【図面の簡単な説明】

【図1】従来の多チップ半導体パッケージ構造の実施例図である。

【図2】従来の多チップ半導体パッケージ構造のもう一つの実施例図である。

【図3】本発明の多チップ半導体パッケージ構造の望ましい一つの実施例図である。

【図4】本発明の多チップ半導体パッケージ構造の製造フローの実施例図である。

【図5】図4に続く本発明の多チップ半導体パッケージ構造の製造フローの実施例図である。

【図6】本発明の多チップ半導体パッケージ構造のもう一つの望ましい実施例図である。

【図7】本発明の多チップ半導体パッケージ構造の製造フローのもう一つの実施例図である。

【図8】図7に続く本発明の多チップ半導体パッケージ構造の製造フローの実施例図である。

【符号の説明】

1 a、1 b、7 a、7 b チップ

3 a、3 b リードフレーム

4 a、4 b、9 a、9 b 金線

5 樹脂

6 リード

11

12

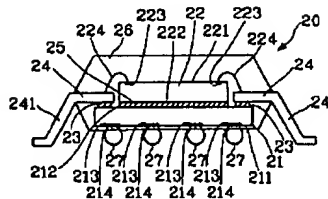
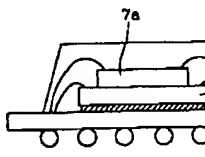
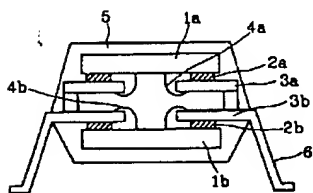
8 基板
 10 半田バンプ
 20、40 多チップ半導体パッケージ
 21、41 第1チップ
 22、42 第2チップ
 211、221、411、421 作動面
 212、222、412、422 非作動面
 213、223、413、423 ボンディングパッド
 214、414 内バンプ

224 ボンディングワイヤ
 23、43 両面テープ
 24、44 リードフレーム
 241、441 リード
 25 エポキシ樹脂
 26、46 樹脂
 424 溶接材
 27、47 半田バンプ

【図1】

【図2】

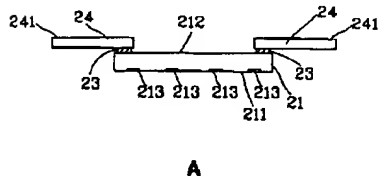
【図3】



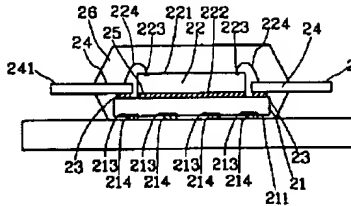
【図4】

【図5】

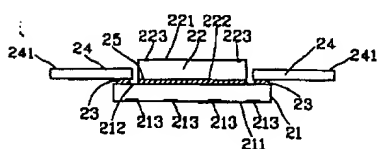
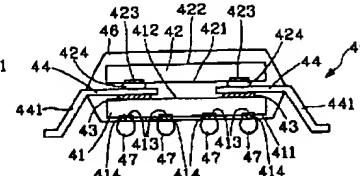
【図6】



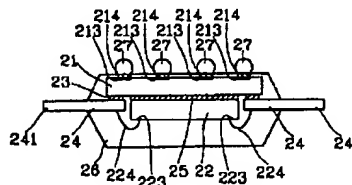
A



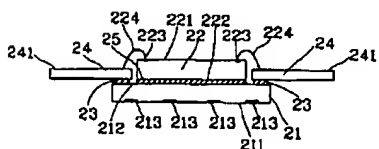
A



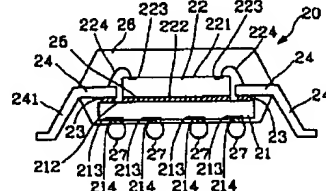
B



B

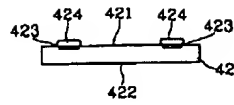


C

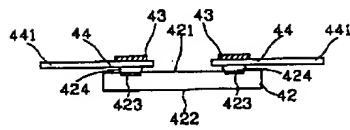


C

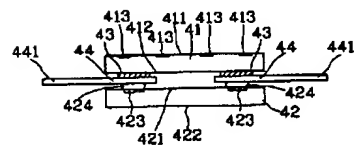
【図7】



A

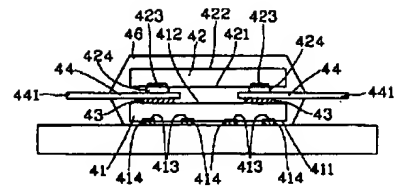


B

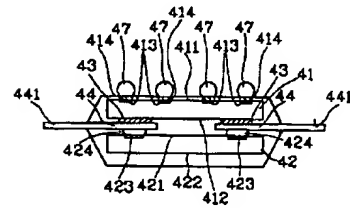


C

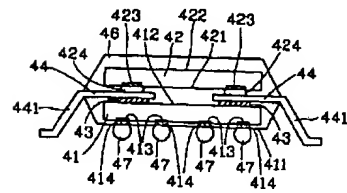
【図8】



A



B



C